

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1046 U.S. PTO
09/805811
03/13/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 4月14日

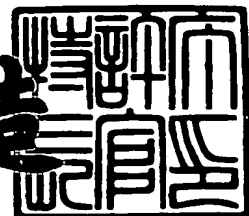
出 願 番 号
Application Number: 特願2000-113071

出 願 人
Applicant(s): 株式会社アドバンテスト

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3009513

Attorney Docket: A-392

Express Mail #EL719795046US

【書類名】 特許願

【整理番号】 8282

【提出日】 平成12年 4月14日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明の名称】 半導体デバイスの試験装置および試験方法

【請求項の数】 5

【発明者】

【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバン
テスト内

【氏名】 上原 三郎

【特許出願人】

【識別番号】 390005175

【氏名又は名称】 株式会社アドバンテスト

【代表者】 大浦 溥

【代理人】

【識別番号】 100103171

【弁理士】

【氏名又は名称】 雨貝 正彦

【電話番号】 03-3362-6791

【手数料の表示】

【予納台帳番号】 055491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9806684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイスの試験装置および試験方法

【特許請求の範囲】

【請求項 1】 半導体デバイスに対して所定の試験範囲に含まれるパス／フェイルの境界をバイナリサーチ法に基づいて検出する半導体デバイスの試験装置において、

前記試験範囲の上限値と下限値のいずれか一方をパス値、他方をフェイル値に設定する初期値設定手段と、

前記初期値設定手段によって設定された前記パス値および前記フェイル値における測定をスキップして、前記半導体デバイスに対するバイナリサーチ法による測定を行うデバイス測定手段と、

を備えることを特徴とする半導体デバイスの試験装置。

【請求項 2】 請求項 1 において、

前記初期値設定手段によって設定された前記パス値および前記フェイル値の少なくとも一方の値を、前記試験範囲が所定値分広くなるように変更する初期値変更手段をさらに備え、

前記デバイス測定手段は、前記初期値変更手段によって値が変更された後の前記パス値および前記フェイル値を用いて前記測定を行うことを特徴とする半導体デバイスの試験装置。

【請求項 3】 請求項 2 において、

前記所定値は、測定の分解能に相当する値であることを特徴とする半導体デバイスの試験装置。

【請求項 4】 半導体デバイスに対して所定の試験範囲に含まれるパス／フェイルの境界をバイナリサーチ法に基づいて検出する半導体デバイスの試験方法において、

前記試験範囲の上限値と下限値のいずれか一方をパス値、他方をフェイル値に設定する第 1 のステップと、

前記パス値および前記フェイル値を用いて、バイナリサーチ法にしたがった測定位置を設定する第 2 のステップと、

前記第 2 のステップにおいて設定された前記測定位置において前記半導体デバイスに対する所定の測定を行う第 3 のステップと、

前記第 3 のステップにおいて得られる測定結果がパスの場合には、前記第 2 のステップにおいて設定された前記測定位置を前記パス値にセットし、前記測定結果がフェイルの場合には、前記第 2 のステップにおいて設定された前記測定位置を前記フェイル値にセットする第 4 のステップと、

前記第 4 のステップの処理が終了した後に、前記パス値と前記フェイル値の差を計算し、この差が測定の分解能以下になるまで、前記第 2 のステップ以降の処理を繰り返す指示を行う第 5 のステップと、

を有することを特徴とする半導体デバイスの試験方法。

【請求項 5】 請求項 4 において、

前記第 1 のステップは、前記試験範囲を所定値分広げて、その上限値と下限値に対応する前記パス値および前記フェイル値を設定することを特徴とする半導体デバイスの試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体デバイスに対する AC 試験等をバイナリサーチ法を用いて実施する場合の半導体デバイスの試験装置および試験方法に関する。

【0002】

【従来の技術】

従来から、出荷前のロジック IC や半導体メモリ等の各種の半導体デバイスに対して試験を行うものとして半導体試験装置が知られている。この半導体試験装置によって実施される試験には、ファンクション試験、AC パラメトリック試験、DC パラメトリック試験等がある。この中で、AC パラメトリック試験は、被測定デバイス DUT (Device Under Test) としての半導体デバイスの時間軸特性、周波数特性等の AC パラメータを評価する試験であり、代表的な試験方法としてバイナリサーチ法（2 分検索法）と呼ばれる手法が知られている。

【0003】

図 5 は、バイナリサーチ法を用いて半導体デバイスのパス／フェイル境界値を求める場合の従来の処理手順を示す流れ図である。例えば、正常な半導体デバイスについては、試験範囲の上限値に測定ポイントをセットしたときに測定結果としてパスが得られ、試験範囲の下限值に測定ポイントをセットしたときに測定結果としてフェイルが得られるものとし、これら上限値と下限値の間でパス／フェイル境界値を検索する場合について考える。

【 0 0 0 4 】

(1) まず、パス値 PV を試験範囲の上限値にセットし (ステップ 200)、このパス値に対応する測定位置において被測定デバイスの出力値を調べ (ステップ 201)、パスしていることを確認する (ステップ 202)。ここで、パスしなかった場合には、所定のエラー処理が行われる (ステップ 203)。

【 0 0 0 5 】

(2) 同様に、フェイル値 FV を試験範囲の下限値にセットし (ステップ 204)、このフェイル値に対応する測定位置において被測定デバイスの出力値を調べ (ステップ 205)、フェイルしていることを確認する (ステップ 206)。ここでフェイルしなかった場合には、所定のエラー処理が行われる (ステップ 207)。

【 0 0 0 6 】

(3) 次の測定位置を $(PV + FV) / 2$ にセットし (ステップ 208)、この測定位置における被測定デバイスの出力値を調べ (ステップ 209)、パスかフェイルかをチェックする (ステップ 210)。測定結果がパスの場合には、パス値 PV に今回の測定位置 $(PV + FV) / 2$ が代入される (ステップ 211)。一方、測定結果がフェイルの場合には、フェイル値 FV に今回の測定位置 $(PV + FV) / 2$ が代入される (ステップ 212)。

【 0 0 0 7 】

(4) パス値 PV とフェイル値 FV の差の絶対値 $|PV - FV|$ が分解能 RE 以下になるまで、上述した (3) の処理が繰り返される (ステップ 213)。

【 0 0 0 8 】

【発明が解決しようとする課題】

ところで、バイナリサーチ法を用いた従来の手法によると、試験範囲の上限値と下限値における測定は、被測定デバイスが正常であることを確認するために行われるものであり、この試験範囲外でパス／フェイル境界値が存在する可能性は少ない。実際の試験では、試験範囲の上限でフェイルになっていたり、試験範囲の下限でパスになっていたりする割合は数％であるという実測値が得られている。したがって、バイナリサーチ法を用いた従来の手法においては、当然の結果が得られる非効率的な確認作業を行っていたため、試験時間が長くなるという問題があった。特に、多くの被測定デバイスを順番に試験するような場合には、一つ一つの試験時間が累積されるため、少しでも効率的な試験を行って、全体の試験時間の短縮が可能な手法が望まれている。

【 0 0 0 9 】

本発明は、このような点に鑑みて創作されたものであり、その目的は、試験時間を短縮することができる半導体デバイスの試験装置および試験方法を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上述した課題を解決するために、本発明の半導体デバイスの試験装置は、半導体デバイスに対して所定の試験範囲に含まれるパス／フェイルの境界をバイナリサーチ法に基づいて検出する場合に、初期値設定手段によって、試験範囲の上限値と下限値のいずれか一方をパス値、他方をフェイル値に設定するとともに、デバイス測定手段によって、これらのパス値およびフェイル値における測定をスキップして、半導体デバイスに対するバイナリサーチ法による測定を行う。通常は、上限値および下限値のいずれか一方においてパスが、他方においてフェイルが観測されるような試験範囲が設定されるため、これら上限値および下限値においてエラーとなる可能性は少ない。したがって、これらの測定位置における測定をスキップすることにより、効率的な試験を行うことができ、試験時間の短縮が可能になる。

【 0 0 1 1 】

特に、上述した初期値設定手段によって設定されたパス値およびフェイル値の

少なくとも一方の値を、試験範囲が所定値分広くなるように初期値変更手段によって変更することが望ましい。バイナリサーチ法では、前回のパス値とフェイル値の中間の値を計算してパス値あるいはフェイル値の更新が行われるため、この計算を行う限り、試験範囲の上限値および下限値のいずれか一方に対応する測定位置でのパス／フェイル判定を行うことができなくなってしまう。このような不都合は、最初の試験範囲を所定値分広くすることにより回避することができる。

【 0 0 1 2 】

また、この所定値は、測定の分解能に相当する値であることが望ましい。上述した不都合を回避するためには、分解能分だけ試験範囲を広げれば十分であり、このように試験範囲を必要最小限だけ広げることにより、不必要に試験時間が長くなることを防止することができる。

【 0 0 1 3 】

また、本発明の半導体デバイスの試験方法は、半導体デバイスに対して所定の試験範囲に含まれるパス／フェイルの境界をバイナリサーチ法に基づいて検出するために、以下に示す第1のステップ～第5のステップの処理を行っている。第1のステップにおいて、試験範囲の上限値と下限値のいずれか一方をパス値、他方をフェイル値に設定する。第2のステップにおいて、パス値およびフェイル値を用いて、バイナリサーチ法にしたがった測定位置を設定する。第3のステップにおいて、第2のステップにおいて設定された測定位置において半導体デバイスに対する所定の測定を行う。第4のステップにおいて、第3のステップにおいて得られる測定結果がパスの場合には、第2のステップにおいて設定された測定位置をパス値にセットし、この測定結果がフェイルの場合には、第2のステップにおいて設定された測定位置をフェイル値にセットする。第5のステップにおいて、第4のステップの処理が終了した後に、パス値とフェイル値の差を計算し、この差が測定の分解能以下になるまで、第2のステップ以降の処理を繰り返す指示を行う。測定範囲の上限値と下限値に対応する測定位置でのパス／フェイル判定を省略することにより、それらの中間値に対応する測定位置でのパス／フェイル判定が行われることになるため、効率的な試験を行うことができ、試験時間の短縮が可能になる。

【 0 0 1 4 】

また、上述した第1のステップは、試験範囲を所定値分広げて、その上限値と下限値に対応するパス値およびフェイル値を設定することが望ましい。試験範囲を広げることにより、バイナリサーチ法を用いて次の測定位置を計算する場合に、範囲を広げる前の試験範囲の上限値あるいは下限値が測定位置として設定されなくなってしまうという不都合を回避することができる。

【 0 0 1 5 】

【発明の実施の形態】

以下、本発明を適用した一実施形態の半導体試験装置について、図面を参照しながら説明する。

図1は、本実施形態の半導体試験装置の構成を示す図である。同図に示す半導体試験装置は、DUT（被測定デバイス）100に対してACパラメトリック試験、DCパラメトリック試験、ファンクション試験等を行うためのものであり、DUT100に対して試験に必要な各種の信号を入出力するために、テストプロセッサ10、タイミングジェネレータ20、パターンジェネレータ30、データセクタ40、フォーマットコントロール部50、ピンカード60、デジタルコンパア部70を含んで構成されている。

【 0 0 1 6 】

上述したテストプロセッサ10は、オペレーティングシステム（OS）によって所定のテストプログラムを実行してDUT100に対するACパラメトリック試験等を行うために半導体試験装置の全体を制御する。

タイミングジェネレータ20は、試験に必要な基本周期を設定するとともに、この設定した基本周期内に含まれる各種のタイミングエッジを生成する。パターンジェネレータ30は、DUT100のクロックピンを含む各ピンに入力するパターンデータを発生する。データセクタ40は、パターンジェネレータ30から出力される各種のパターンデータと、これを入力するDUT100の各ピンとを対応させる。フォーマットコントロール部50は、パターンジェネレータ30によって発生されたデータセクタ40によって選択されたパターンデータと、タイミングジェネレータ20によって生成されたタイミングエッジとに基づいて、

DUT 1 0 0 に対する波形制御を行う。

【 0 0 1 7 】

また、ピンカード 6 0 は、フォーマットコントロール部 5 0 およびデジタルコンペア部 7 0 と DUT 1 0 0 との間の物理的なインタフェースをとるためのものである。ピンカード 6 0 は、DUT 1 0 0 の対応するピンに所定のパターン波形を印加するドライバと、ピンに現れる電圧波形と所定のローレベル電圧およびハイレベル電圧との比較を同時に行うデュアルコンパレータと、任意に負荷電流の値が設定可能なプログラマブル負荷と、ピンに接続された所定の抵抗値（例えば 5 0 Ω ）を有する終端抵抗とを含んで構成されている。なお、DUT 1 0 0 のピンの中には、アドレス端子に対応するピンのように所定のデータを入力するだけのピンもあり、このようなピンについては上述したデュアルコンパレータやプログラマブル負荷、終端抵抗は不要であって、ドライバのみが接続されている。

【 0 0 1 8 】

デジタルコンペア部 7 0 は、DUT 1 0 0 の各ピンの出力に対して、データセレクト 4 0 で選択された各ピン毎の期待値データを比較する。この比較を行うタイミングは、タイミングジェネレータ 2 0 で生成されるストロブ信号のタイミングエッジ STRB で指定される。

【 0 0 1 9 】

上述したテストプロセッサ 1 0 が初期値設定手段、初期値変更手段に、テストプロセッサ 1 0、タイミングジェネレータ 2 0、パターンジェネレータ 3 0、データセレクト 4 0、フォーマットコントロール部 5 0、ピンカード 6 0、デジタルコンペア部 7 0 がデバイス測定手段にそれぞれ対応する。

【 0 0 2 0 】

本実施形態の半導体試験装置はこのような構成を有しており、次に、これを用いて DUT 1 0 0 に対する AC パラメトリック試験を、バイナリサーチ法によって行う場合の動作を説明する。

図 2 は、本実施形態の半導体試験装置の AC パラメトリック試験時の動作手順を示す図である。例えば、所定の試験範囲におけるパス／フェイル境界値をバイナリサーチ法を用いて検出する動作手順が示されている。

【 0 0 2 1 】

(1) まず、テストプロセッサ 1 0 は、初期状態におけるパス値 PV に、試験範囲の上限値 $P0$ に分解能 RE を加えた値 ($P0 + RE$) をセットする (ステップ 1 0 0)。

(2) また、テストプロセッサ 1 0 は、初期状態におけるフェイル値 FV に、試験範囲の下限值 $F0$ から分解能 RE を減じた値 ($F0 - RE$) をセットする (ステップ 1 0 1)。

【 0 0 2 2 】

(3) 次に、テストプロセッサ 1 0 は、測定位置を $(PV + FV) / 2$ にセットし (ステップ 1 0 2)、この測定位置における $DUT 1 0 0$ の着目ピンの出力値を調べ (ステップ 1 0 3)、パスかフェイルかをチェックする (ステップ 1 0 4)。具体的には、テストプロセッサ 1 0 からタイミングジェネレータ 2 0、パターンジェネレータ 3 0、データセレクタ 4 0、フォーマットコントロール部 5 0 に対して指示を送ることにより、 $DUT 1 0 0$ の着目ピンに対して所定の試験パターン波形を入力する。この試験パターン波形の入力動作と並行して、テストプロセッサ 1 0 からタイミングジェネレータ 2 0 に対して指示を送ることにより、上述した測定位置 $(PV + FV) / 2$ に対応するタイミングを有するストロブ信 $STRB$ が生成され、デジタルコンペア部 7 0 による出力値のパス/フェイル判定が行われる。

【 0 0 2 3 】

出力結果がパスの場合には、テストプロセッサ 1 0 は、パス値 PV に今回の測定位置 $(PV + FV) / 2$ をセットする (ステップ 1 0 5)。一方、出力結果がフェイルの場合には、テストプロセッサ 1 0 は、フェイル値 FV に今回の測定位置 $(PV + FV) / 2$ をセットする (ステップ 1 0 6)。

【 0 0 2 4 】

(4) また、テストプロセッサ 1 0 は、範囲を広げる前の試験範囲の下限值 $F0$ に対応する測定位置で測定結果がパスとなった場合には (ステップ 1 0 7)、エラー判定を行って所定のエラー処理に移行する (ステップ 1 0 8)。同様に、テストプロセッサ 1 0 は、試験範囲の上限値 $P0$ に対応する測定位置で測定結果

がフェイルとなった場合には（ステップ 1 0 9）、エラー判定を行って所定のエラー処理に移行する（ステップ 1 1 0）。

【 0 0 2 5 】

（5）次に、テストプロセッサ 1 0 は、パス値 P V とフェイル値 F V の差の絶対値 $| P V - F V |$ が分解能 R E 以下であるか否かを判定し、絶対値 $| P V - F V |$ が分解能 R E 以下になるまで、ステップ 1 0 2 以降の測定動作を繰り返す（ステップ 1 1 1）。

【 0 0 2 6 】

このように、本実施形態の半導体試験装置では、試験範囲の上限値と下限値における測定を省略して D U T 1 0 0 に対するバイナリサーチ法を用いた A C パラメトリック試験が実施されるため、これらの測定ポイントにおける非効率的な測定を行わないことによる試験時間の短縮が可能になる。また、最初に試験範囲の上限値と下限値における測定を行わないために、これらの測定ポイントにおけるエラーチェックができない場合も生じるが、本実施形態では、試験範囲を上下方向にそれぞれ 1 分解能分広げているため、これらにおけるエラーチェックを実施することができる。

【 0 0 2 7 】

測定回数の具体的検討

次に、本実施形態の手法を用いることにより、どの程度測定回数を減らすことができるかを検討する。

図 3 は、所定の試験範囲に対応して D U T 1 0 0 の出力波形が変化した場合の測定回数を検討した結果を示す説明図である。例えば、広げる前の試験範囲を a ～ f とし、D U T 1 0 0 の出力波形の全てのパターンについて考えるものとする。a、b、…は、測定位置として設定される可能性のある位置を示しており、それらの隣接間隔の最小値が測定の分解能 R E となる。また、測定位置 a、b、…の下に付された数字は測定順番を、さらにその下に付された P はその測定位置に対応した測定結果がパスであることを、F はその測定位置に対応した測定結果がフェイルであることを示している。

【 0 0 2 8 】

図 3 (A) には、本来の試験範囲の下限值（測定位置 a）よりも以前に DUT 100 の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 a における測定が終了し、測定結果としてパス判定が行われた時点で、エラー判定が行われるため、測定回数は 2 回となる。

【 0 0 2 9 】

図 3 (B) には、測定位置 a と b の間で DUT 100 の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 b における測定が終了し、測定結果としてパス判定が行われた時点で、パス値 PV とフェイル値 FV の差の絶対値が分解能 RE と等しくなって、測定位置 a と b の間にパス／フェイル境界があるものと判定される。したがって、測定回数は 3 回となる。

【 0 0 3 0 】

図 3 (C) には、測定位置 b と c の間で DUT 100 の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 b における測定が終了し、測定結果としてフェイル判定が行われた時点で、パス値 PV とフェイル値 FV の差の絶対値が分解能 RE と等しくなって、測定位置 b と c の間にパス／フェイル境界があるものと判定される。したがって、測定回数は 3 回となる。

【 0 0 3 1 】

図 3 (D) には、測定位置 c と d の間で DUT 100 の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 d における測定が終了し、測定結果としてパス判定が行われた時点で、パス値 PV とフェイル値 FV の差の絶対値が分解能 RE と等しくなって、測定位置 c と d の間にパス／フェイル境界があるものと判定される。したがって、測定回数は 3 回となる。

【 0 0 3 2 】

図 3 (E) には、測定位置 d と e の間で DUT 100 の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 d における測定が終了し、測定結果としてフェイル判定が行われた時点で、パス値 PV とフェイル値 FV の差の絶対値が分解能 RE と等しくなって、測定位置 d と e の間にパス／フェイル境界があるものと判定される。したがって、測定回数は 3 回となる。

【 0 0 3 3 】

図 3 (F) には、測定位置 e と f の間で DUT 1 0 0 の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 f における測定が終了し、測定結果としてパス判定が行われた時点で、パス値 P V とフェイル値 F V の差の絶対値が分解能 R E と等しくなって、測定位置 e と f の間にパス／フェイル境界があるものと判定される。したがって、測定回数は 3 回となる。

【 0 0 3 4 】

図 3 (G) には、本来の試験範囲の上限値（測定位置 f）よりも以降に DUT 1 0 0 の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 f における測定が終了し、測定結果としてフェイル判定が行われた時点で、エラー判定が行われるため、測定回数は 3 回となる。

【 0 0 3 5 】

本実施形態の手法を用いることにより、全てのパターンが均等に現れるものとした場合の全体の測定回数（図 3 (A) ～図 3 (G) のそれぞれに対応する測定回数を合計した回数）は、 $2 + 3 + 3 + 3 + 3 + 3 + 3 = 20$ 回となる。

また、実際に図 3 (A) や図 3 (G) に対応する測定パターンの出現確率は低いため（実測では数％）、仮にこれらの出現確率を 1 0 ％として、全体の測定回数を計算すると、 $(2 + 3) \times 10\% + (3 + 3 + 3 + 3 + 3) \times 90\% = 14.0$ 回となる。

【 0 0 3 6 】

図 4 は、バイナリサーチ法を用いた従来手法による測定結果を示す説明図であり、測定条件等は図 3 に示した場合に合わせてある。

図 4 (A) には、試験範囲の下限值（測定位置 a）よりも以前に DUT 1 0 0 の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 a における測定が終了し、測定結果としてパス判定が行われた時点で、エラー判定が行われるため、測定回数は 2 回となる。

【 0 0 3 7 】

図 4 (B) には、測定位置 a と b の間で DUT 1 0 0 の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 b における測定が終了し、測定結果としてパス判定が行われた時点で、パス値 P V とフェイル値 F V の

差の絶対値が分解能 RE と等しくなって、測定位置 a と b の間にパス／フェイル境界があるものと判定される。したがって、測定回数は 4 回となる。

【 0 0 3 8 】

図 4 (C) には、測定位置 b と c の間で $DUT100$ の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 b における測定が終了し、測定結果としてフェイル判定が行われた時点で、パス値 PV とフェイル値 FV の差の絶対値が分解能 RE と等しくなって、測定位置 b と c の間にパス／フェイル境界があるものと判定される。したがって、測定回数は 4 回となる。

【 0 0 3 9 】

図 4 (D) には、測定位置 c と d の間で $DUT100$ の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 d における測定が終了し、測定結果としてパス判定が行われた時点で、パス値 PV とフェイル値 FV の差の絶対値が分解能 RE と等しくなって、測定位置 c と d の間にパス／フェイル境界があるものと判定される。したがって、測定回数は 4 回となる。

【 0 0 4 0 】

図 4 (E) には、測定位置 d と e の間で $DUT100$ の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 e における測定が終了し、測定結果としてパス判定が行われた時点で、パス値 PV とフェイル値 FV の差の絶対値が分解能 RE と等しくなって、測定位置 d と e の間にパス／フェイル境界があるものと判定される。したがって、測定回数は 5 回となる。

【 0 0 4 1 】

図 4 (F) には、測定位置 e と f の間で $DUT100$ の出力波形が立ち上がる場合の試験結果が示されている。この場合には、測定位置 e における測定が終了し、測定結果としてパス判定が行われた時点で、パス値 PV とフェイル値 FV の差の絶対値が分解能 RE と等しくなって、測定位置 e と f の間にパス／フェイル境界があるものと判定される。したがって、測定回数は 5 回となる。

【 0 0 4 2 】

図 4 (G) には、本来の試験範囲の上限値（測定位置 f ）よりも以降に $DUT100$ の出力波形が立ち上がる場合の試験結果が示されている。この場合には、

測定位置 f における測定が終了し、測定結果としてフェイル判定が行われた時点で、エラー判定が行われるため、測定回数は 1 回となる。

【 0 0 4 3 】

従来の手法を用いることにより、全てのパターンが均等に現れるものとした場合の全体の測定回数（図 4（A）～図 4（G）のそれぞれに対応する測定回数を合計した回数）は、 $2 + 4 + 4 + 4 + 5 + 5 + 1 = 25$ 回となる。

また、実際に図 4（A）や図 4（G）に対応する測定パターンの出現確率を 10% として、全体の測定回数を計算すると、 $(2 + 1) \times 10\% + (4 + 4 + 4 + 5 + 5) \times 90\% = 20.1$ 回となる。

【 0 0 4 4 】

このように、全てのパターンが均等に現れるものとした場合の測定回数は、本実施例の手法を用いた場合には 20 回であり、従来の手法を用いた場合には 25 回となる。したがって、本実施形態の手法を用いることにより、測定回数が $20 / 25 = 80\%$ に低減され、20% の効率アップを達成することができる。

【 0 0 4 5 】

また、試験範囲の上限と下限において測定を行った場合にエラーとなる確率を 10% としたときの測定回数は、本実施形態の手法を用いた場合には 14.0 回であり、従来の手法を用いた場合には 20.1 回となる。したがって、本実施形態の手法を用いることにより、測定回数が $14.0 / 20.1 = 69\%$ に低減され、約 30% の効率アップを達成することができる。

【 0 0 4 6 】

なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述した半導体試験装置では、AC パラメトリック試験をバイナリサーチ法を用いて行う場合を説明したが、AC パラメトリック試験以外であってもバイナリサーチ法を用いる試験であれば本発明を適用することができる。

【 0 0 4 7 】

また、上述した実施形態では、DUT 100 の着目ピンの出力波形が試験範囲において立ち上がる場合について説明したが、この出力波形が試験範囲において

立ち下がる場合も同様に本発明を適用することができる。この場合には、試験範囲の下限（測定位置 a）において測定結果がフェイル、あるいは上限（測定位置 f）において測定結果がパスとなったときにエラー判定が行われる。

【 0 0 4 8 】

【発明の効果】

上述したように、本発明によれば、エラー判定が行われる可能性が低い試験範囲の上限と下限における測定をスキップして、バイナリサーチ法による被測定デバイスに対する測定を行うことにより、効率的な試験を行うことができ、試験時間の短縮が可能になる。

【図面の簡単な説明】

【図 1】

一実施形態の半導体試験装置の構成を示す図である。

【図 2】

本実施形態の半導体試験装置の A C パラメトリック試験時の動作手順を示す図である。

【図 3】

所定の試験範囲に対応して被測定デバイスの出力波形が変化した場合の測定回数を検討した結果を示す説明図である。

【図 4】

バイナリサーチ法を用いた従来手法による測定結果を示す説明図である。

【図 5】

バイナリサーチ法を用いて半導体デバイスのパス／フェイル境界値を求める場合の従来の処理手順を示す流れ図である。

【符号の説明】

- 1 0 テスタプロセッサ
- 2 0 タイミングジェネレータ
- 3 0 パターンジェネレータ
- 4 0 データセレクタ
- 5 0 フォーマットコントロール部

6 0 ピンカード

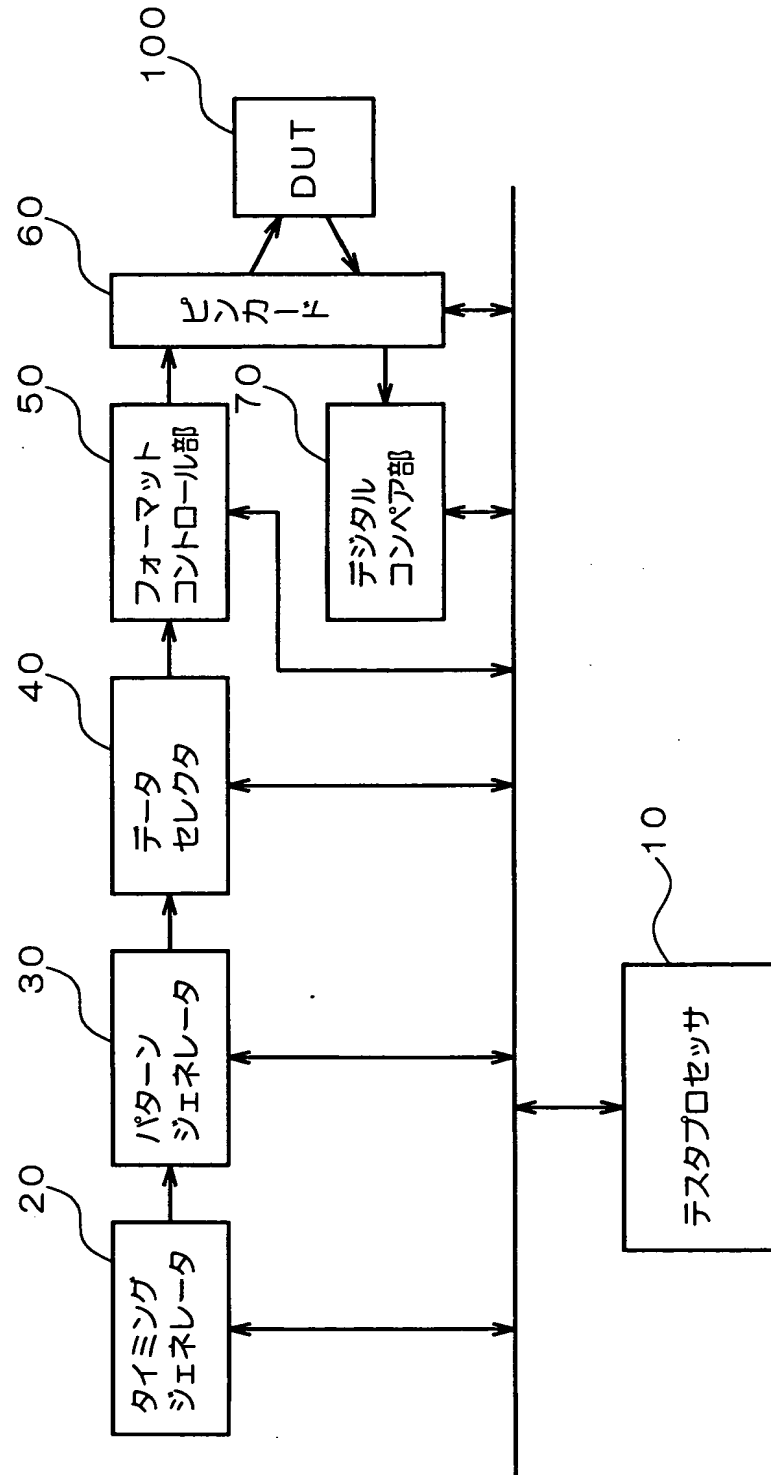
7 0 デジタルコンペア部

1 0 0 D U T (被測定デバイス)

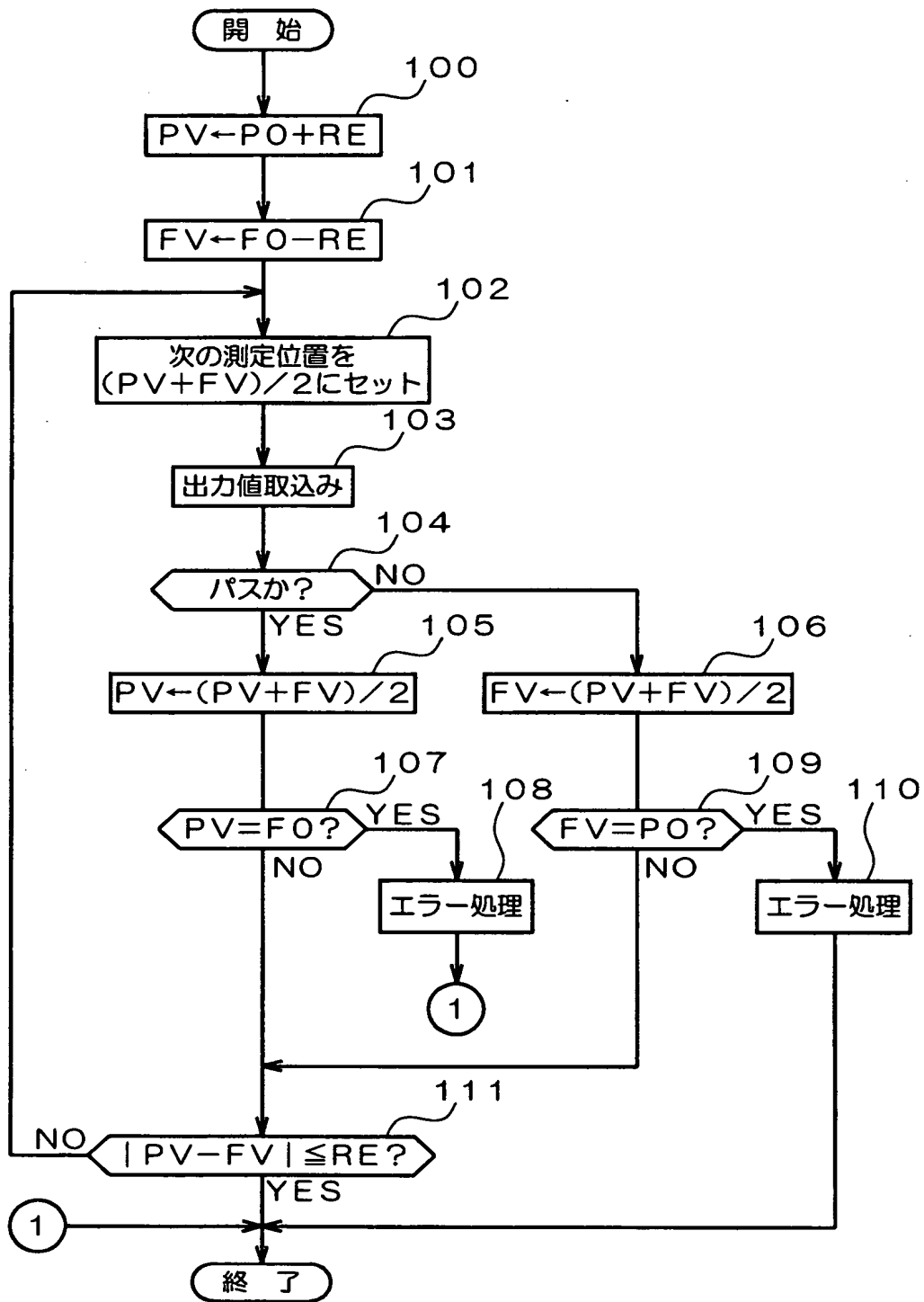
【書類名】

図面

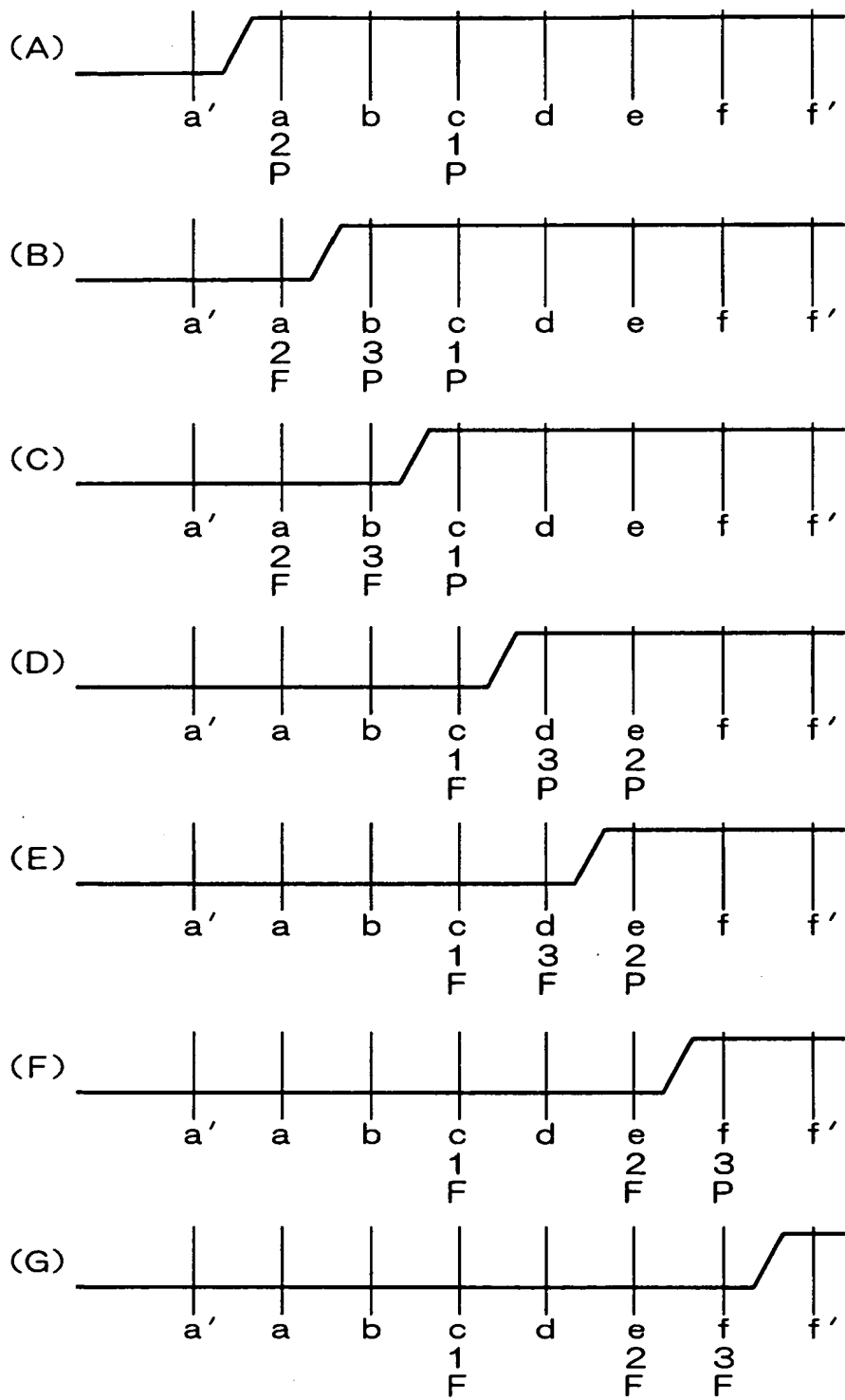
【図 1】



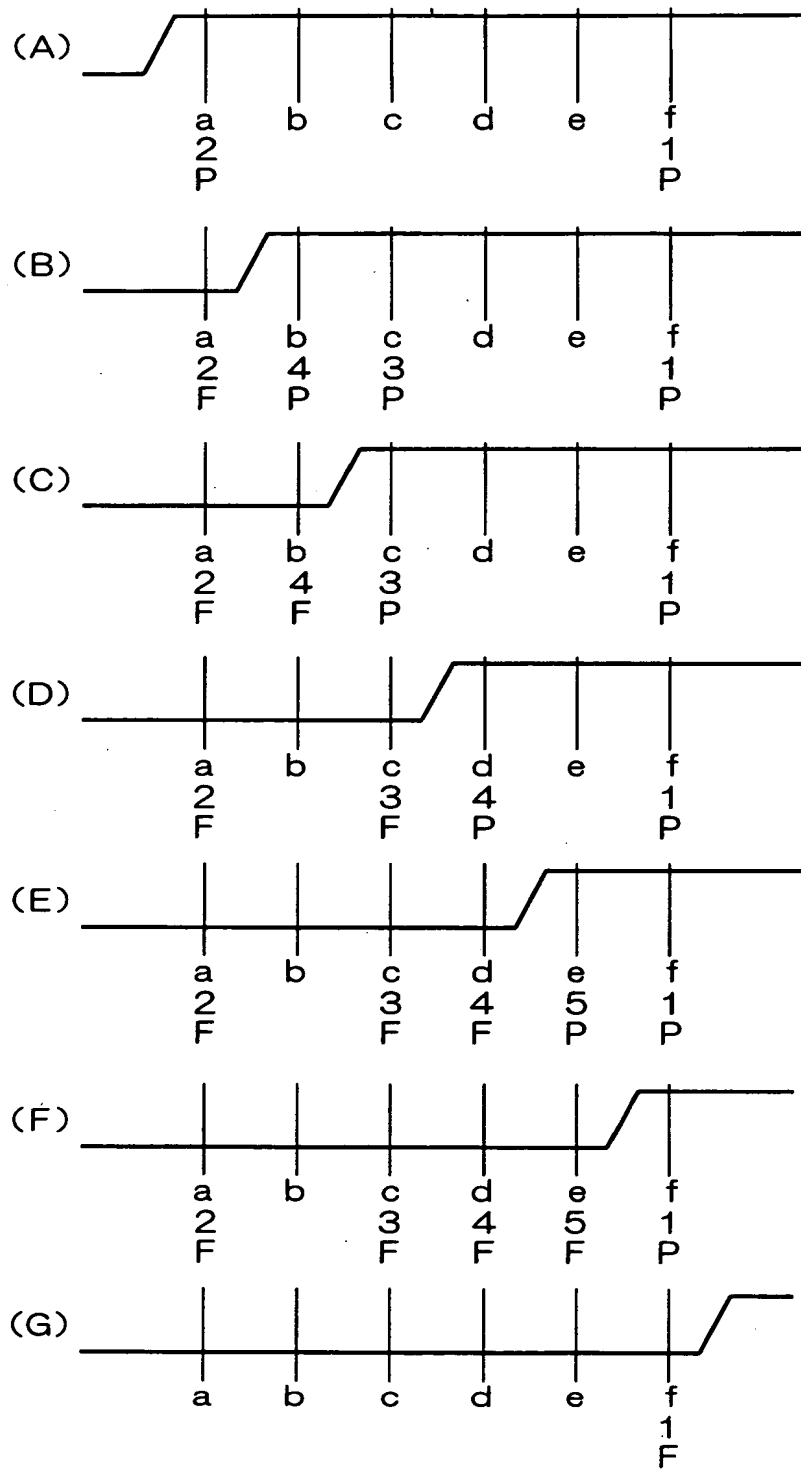
【図 2】



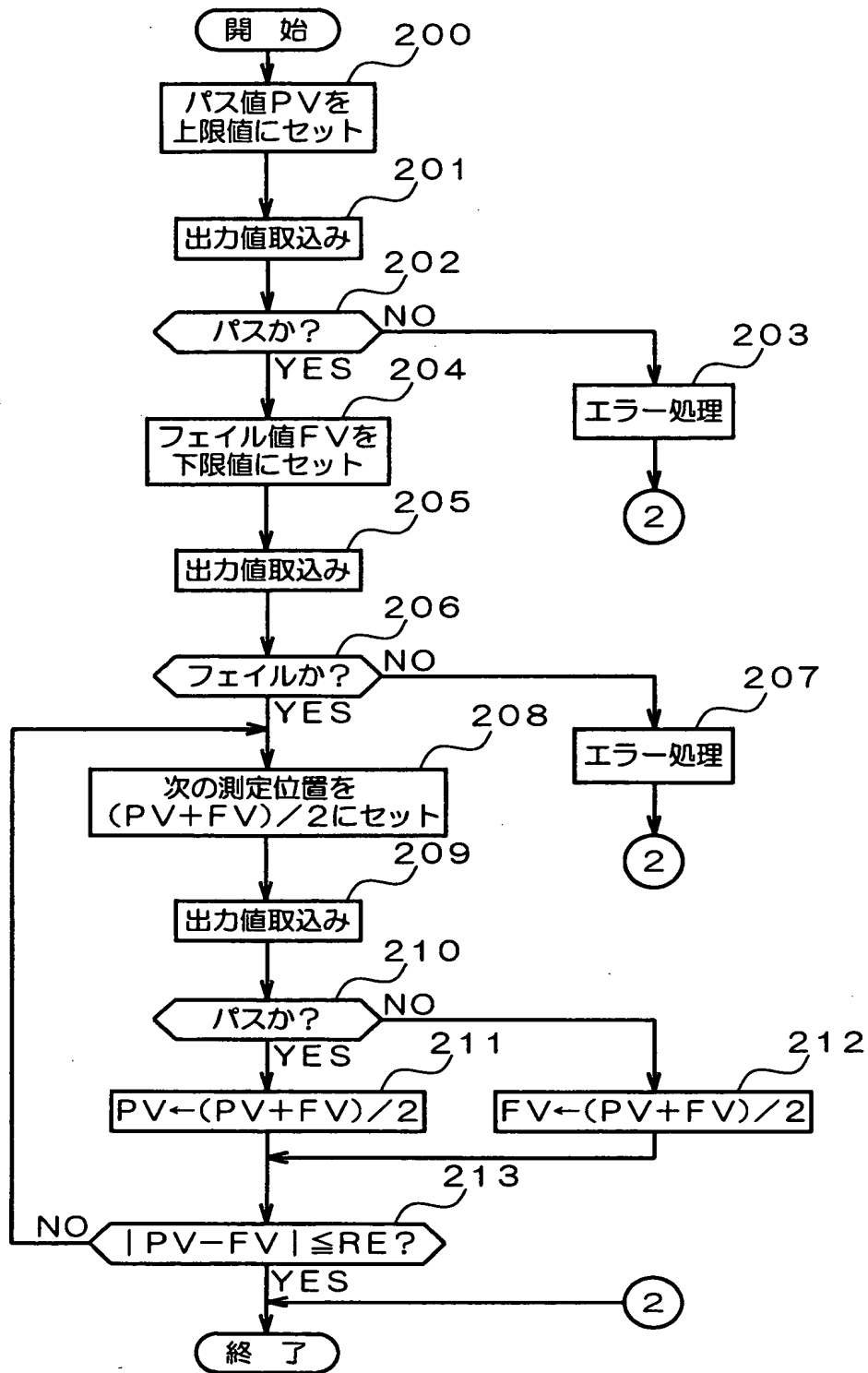
【図3】



【図4】



【図 5】



【書類名】 要約書

【要約】

【課題】 試験時間を短縮することができる半導体デバイスの試験装置および試験方法を提供すること。

【解決手段】 テスタプロセッサ 1 0 は、試験範囲を測定の分解能分広げた後に、その上限と下限のそれぞれに対応したパス値とフェイル値をセットする。テストプロセッサ 1 0 は、これらのパス値およびフェイル値に対応する実際のパス判定、フェイル判定をスキップして、次の測定位置を計算して、DUT 1 0 0 に対するバイナリサーチ法を用いた A C パラメトリック試験を実施する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [390005175]

1. 変更年月日	1990年10月15日
[変更理由]	新規登録
住 所	東京都練馬区旭町1丁目32番1号
氏 名	株式会社アドバンテスト